

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-221565

(43)Date of publication of application : 18.08.1995

(51)Int.Cl. H03F 3/34
H03F 1/30
H03F 3/45

(21)Application number : 04-308376

(71)Applicant : NATL SEMICONDUCTOR CORP
<NS>

(22)Date of filing : 18.11.1992

(72)Inventor : ARCHER DONALD

(30)Priority

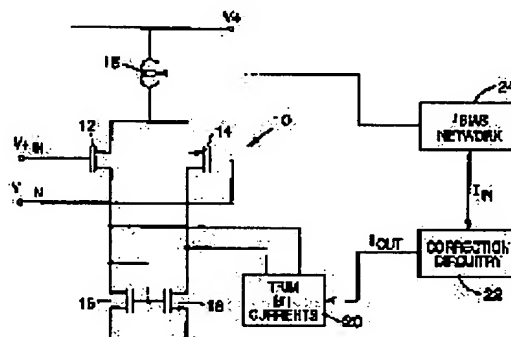
Priority number : 91 794960 Priority date : 20.11.1991 Priority country : US

(54) TRIM CORRECTING CIRCUIT WITH TEMPERATURE COEFFICIENT COMPENSATION

(57)Abstract:

PURPOSE: To obtain a precise trimming circuit which performs trim current compensation required for following up the change of an input offset voltage caused by a temperature change.

CONSTITUTION: A trim correcting circuit is provided with a Pchannel input differential pair 12 and 14 connected with a current mirror circuit composed of N-channel transistors 16 and 18, and differential input signals V_{+in} and V_{-in} are inputted to the differential pair 12 and 14. A current source 15 is connected between a source electrode commonly connected with the differential pair 12 and 14, and a positive power source V_{+} . In addition, a trim current circuit 20 which can be constituted in the conventional current mirror is connected to the differential pair 12 and 14 and injects a trim current which offsets an input offset voltage. A current bias network 24 having a positive temperature coefficient supplies a trim compensating current that compensates the input offset voltage which changes as the temperature changes by driving a trim current correcting circuit 22 and the current source 15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-221565

(43)公開日 平成7年(1995)8月18日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F	3/34	B 8943-5 J		
	1/30	A 9067-5 J		
	3/45	A		

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21)出願番号 特願平4-308376

(22)出願日 平成4年(1992)11月18日

(31)優先権主張番号 7 9 4 9 6 0

(32)優先日 1991年11月20日

(33)優先権主張国 米国 (U S)

(71)出願人 591013469

ナショナル セミコンダクタ コーポレイ
ション

NATIONAL SEMICONDUCTOR CORPORATION

アメリカ合衆国, カリフォルニア 95052,
サンタ クララ, セミコンダクタ ドライ
ブ 2900

(72)発明者 ドナルド アーチャー

アメリカ合衆国, カリフォルニア
94087, サニーベル, ホープ テラス
521, ナンバー 2

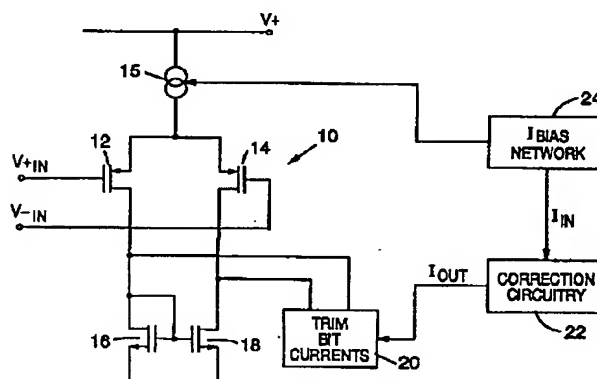
(74)代理人 弁理士 小橋 一男 (外1名)

(54)【発明の名称】 温度係数補償を有するトリム補正回路

(57)【要約】 (修正有)

【目的】 温度変化による入力オフセット電圧における変化を追従するために必要な温度係数を有するトリム電流補償を行う精密トリミング回路を提供する。

【構成】 Nチャンネルトランジスタ16、及び18から成る電流ミラー回路が接続されたPチャンネル入力差動対12及び14が有り、これに差動入力信号 V_{+in} 及び V_{-in} が入る。電流源15は、差動対12、14の共通接続のソース電極と正電源 V_{+} との間に接続されている。さらに従来の電流ミラー構成とすることが可能なトリム電流回路20が入力差動対12、14に接続され、入力オフセット電圧を打消すトリム電流を注入する。正の温度係数を有する電流バイアス回路網24はトリム電流補正回路22及び電流源15を駆動させ、温度と共に変化する入力オフセット電圧を補償するトリム補償電流を供給する。



1

【特許請求の範囲】

【請求項 1】 最小のオフセット熱ドリフトで入力オフセット電圧トリム電流を供給するオペアンプバイアスシステムにおいて、

(a) 前記オペアンプへバイアス電流を供給するバイアス発生器、

(b) 前記バイアス電流にตอบสนองして温度変化によるオフセットドリフトエラーを補償する入力オフセットトリム電流を供給する補正手段、を有することを特徴とするオペアンプバイアスシステム。

【請求項 2】 請求項 1 において、前記補正手段が、

(a) 抵抗手段、

(b) 選択可能な温度係数を有する温度係数変換電流を与えるために前記バイアス電流にตอบสนองして前記抵抗手段に対し基準電圧を反映する入力電流ミラー、

(c) 前記バイアス電流にตอบสนองして調節可能な温度係数補正電流を与える第二電流ミラー手段、

(d) 選択した温度係数を有する出力電流を与えるために前記温度係数変換電流と前記調節可能な温度係数補正電流とを加算する電流加算手段、を有することを特徴とするオペアンプバイアスシステム。

【請求項 3】 請求項 2 において、前記抵抗手段がリニアな抵抗要素を有することを特徴とするオペアンプバイアスシステム。

【請求項 4】 請求項 2 において、更に、前記抵抗手段をリニア化するフィードバック手段が設けられていることを特徴とするオペアンプバイアスシステム。

【請求項 5】 請求項 2 において、前記抵抗手段が活性抵抗を有することを特徴とするオペアンプバイアスシステム。

【請求項 6】 請求項 5 において、前記活性抵抗がトライオード領域で動作すべくバイアスされた MOSFET 装置を有することを特徴とするオペアンプバイアスシステム。

【請求項 7】 オペアンプへ入力オフセット電圧トリム電流を供給する方法において、

(a) 前記オペアンプへバイアス電流を供給し、

(b) 前記バイアス電流を使用して温度変化によるオフセットドリフトエラーを補償する入力オフセットトリム電流を供給する、上記各ステップを有することを特徴とする方法。

【請求項 8】 請求項 7 において、前記バイアス電流を使用するステップが、

(a) 前記バイアス電流を使用して選択可能な温度係数を有する温度係数変換電流を与えるために抵抗手段に対して基準電圧を反映させ、

(b) 前記バイアス電流を使用して調節可能な温度係数補正電流を供給し、

(c) 選択した温度係数を有する出力電流を供給するために前記温度係数変換電流と前記調節可能な温度係数補

2

正電流とを加算する、ことを特徴とする方法。

【請求項 9】 入力オフセット電圧を補償するために CMOS オペアンプへ温度補償したトリミング電流を供給するオペアンプバイアス回路において、

(a) 第一ダイオード接続型 N チャンネルミラートランジスタ M4 1 と第二 N チャンネルミラートランジスタ M4 2 とを有する第一電流ミラーが設けられており、第一ミラートランジスタ M4 1 のゲートは第二ミラートランジスタ M4 2 のゲートへ接続されており、第二ミラートランジスタ M4 2 の基板は第一ミラートランジスタ M4 1 の基板及びソースへ接続されており、

(b) サブスレッショールド範囲で動作可能であり且つドレインを第一ミラートランジスタ M4 1 のソースへ接続しており且つソースを負電源へ接続しているダイオード接続型 N チャンネルスレッショールド電圧基準トランジスタ M4 3 が設けられており、

(c) トライオードモードで動作可能であり且つドレインを第二ミラートランジスタ M4 2 のソースへ接続しており且つソースを負電源へ接続している N チャンネル抵抗トランジスタ M4 5 が設けられており、

(d) ソースを正電源へ接続しており且つドレインを第二 N チャンネルミラートランジスタ M4 2 のドレインへ接続している第一ダイオード接続型 P チャンネルミラートランジスタ M2 1 B を有すると共にソースを正電源へ接続しており且つゲートを第一 P チャンネルトランジスタ M2 1 B のゲートへ接続しており且つドレインをオペアンプの入力差動対のロードへ補償電流を供給すべく接続している第二 P チャンネルミラートランジスタ M2 1 C を有する第二電流ミラーが設けられており、

(e) ドレインを第一 P チャンネルミラートランジスタ M2 1 B のドレインへ接続しておりソースを負電源へ接続しており且つゲートをスレッショールド電圧基準トランジスタ M4 3 のゲートへ接続している N チャンネル温度係数補正トランジスタ M4 4 が設けられており、

(f) ソースを正電源へ接続しており且つゲートを第一及び第二 P チャンネルミラートランジスタ M2 1 B, M2 1 C の共通接続したゲートへ接続している P チャンネル湾曲補正トランジスタ M2 1 D を有する湾曲補正回路網が設けられている、ことを特徴とするオペアンプバイアス回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はオペアンプに関するものであって、更に詳細には、温度変化による入力オフセット電圧における変化を追従するために必要な温度係数を有するトリム電流補償を提供する精密トリミング回路に関するものである。

【0002】

【従来の技術】 オペアンプ (op amp) 即ち演算増幅器は、アナログ集積回路における基礎的なビルディン

グブロックであり、二つの異なった電圧の間の差を増幅する。基本的なオペアンプは、差動入力及びシングルエンド出力を有するDC増幅器から構成される。

【0003】理想的なオペアンプは、入力がゼロである場合にゼロの出力電圧を有している。しかしながら、現実的には、オペアンプの二つの差動入力トランジスタをマッチングする上での精密性を欠如するために、オペアンプは、常に、入力がない場合でもある出力電圧を有している。この電圧はオフセット電圧と呼ばれる。出力オフセット電圧はオペアンプの利得とは独立的であるので、それは、ゼロ入力状態における出力オフセット電圧を閉じたループの利得により割算することにより差動入力信号レベルに容易に関連付けることが可能である。その結果は、典型的に、「入力オフセット電圧」と呼ばれる。

【0004】入力オフセット電圧の大きさは、歩留り問題を発生する場合があります、且つオペアンプを使用することが可能な適用範囲を著しく制限する場合がある。

【0005】入力オフセットはそれ自身深刻な問題ではない。なぜならば、それは、等しく且つ反対の補償用信号により相殺させることが可能だからである。入力オフセットに関する問題は、それが温度と共に変化する場合があるということである。この温度による変化は熱ドリフトと呼ばれる。従って、オペアンプの性能を所定の基準内に維持するためには、オフセット補償メカニズムを熱ドリフトに相関させねばならず、即ち、それは、温度が変化する場合における入力オフセット電圧における変化を追従するオフセット相殺信号を供給せねばならない。

【0006】バイポーラオペアンプ回路における入力オフセット補償に対する条件は、それ程厳しいものではない。なぜならば、比較的高いレベルの精度でバイポーラトランジスタのマッチング対を製造することが可能だからである。しかしながら、公知の電力消費及び相補的金属-酸化物-半導体(CMOS)集積回路により提供される速度上の利点のために、この技術はオペアンプを包含する全てのタイプの回路を製造する場合に使用するために増々一般的なものとなっている。CMOSオペアンプはサブスレッシユホールド領域において動作される場合には比較的低い入力オフセットを有しているが、これらの回路がサブスレッシユホールド近傍(弱い反転)又は準サブスレッシユホールド(中間の反転)領域において動作される場合における入力オフセットは初期的スレッシユホールド電圧(V_T)により支配される。

【0007】オペアンプにおいて入力オフセット及びドリフトを補償するための従来の技術は、入力差動対に対する電流関係を修正する抵抗零化回路を設けることである。図1は入力段がバイポーラロード内に作用する差動PMOS対であるオペアンプ回路を示している。入力オフセット電圧に対する補償は、改良したオフセットマッ

チングのために差動対に対してオフセット電流を供給する零化抵抗により与えられる。即ち、補正電圧は入力差動対のソースリード内へ反映されて、差動対電流密度をバランスさせる。

【0008】このアプローチにおける問題は、温度が変化する場合に、トリム入力オフセット補償電流がオフセットを追従することがないということである。即ち、温度が変化する場合に、トリム電流及びオフセットエラーは異なった割合で変化する。オペアンプがサブスレッシユホールド領域内において動作される場合には、バランスされていない電流はオフセットエラーを拡大させる。即ち、オフセット調節はバランスされていない差動対電流を補正するが、それは入力FETにおけるスレッシユホールド電圧差を補正するものではない。従って、入力オフセット電圧は温度変化と共に変化することとなる。

【0009】Butler及びLane著「性能を改良したMOS/バイポーラオペアンプ(An Improved Performance MOS/Bipolar Op-Amp)」、1974、IEEE国際ソリッドステート回路会議、138頁の文献は、図2に示したオペアンプ回路について記載しており、その回路も入力オフセット電圧を補償するためにトリミング電流注入を使用している。この回路においては、補正電圧は複数個の抵抗からなる直列ストリングにおけるIR降下から派生されており、その場合に、電流の温度係数は抵抗温度係数の負の値に近似すべく配列されている。微細な零化は抵抗 R_9 及び R_{10} を使用して達成されており、それらの抵抗は拡散抵抗及びトリムボット温度係数の効果を最小とすべく適宜タップされている。しかしながら、このアプローチは、図1のオフセット補償方法と同一の問題を有しており、即ち、トリム電流は温度変化に基づくオフセット電圧における変化を追従するものではない。

【0010】従って、零化入力オフセットを供給することが可能であるが熱ドリフトに影響を受けることのない補償回路を提供することが所望されている。

【0011】図3は負の温度係数を得るためのAllen及びHolberg著「CMOSアナログ回路設計(CMOS Analog Circuit Design)」、248頁の文献に記載されている回路を示している。図3のスレッシユホールド基準回路は、抵抗Rに対してスレッシユホールド基準装置Q1をバランスさせ、オペアンプのバイアスをセットアップするために使用することの可能な電源と独立した基準電流を供給している。しかしながら、この回路は強い負の温度依存性を有している。

【0012】MOSFETのトランスコンダクタンスは高い温度において著しく減少するので、正の温度係数を与えるバイアス発生器回路は広い温度範囲に亘り一定の性能を提供する。本発明は、温度に対して最小のオフセットドリフトを維持するために負の温度係数オフセ

5

ットリム電流と正の温度係数バイアス発生器を使用することによりオペアンプの性能を最適化している。

【0013】

【課題を解決するための手段】本発明は、オフセット熱ドリフトが最小で入力オフセット電圧トリム電流を供給するオペアンプバイアスシステムを提供している。本バイアスシステムは、オペアンプに対しバイアス電流を供給するバイアス発生器を有している。このバイアス電流に応答する補正回路は、温度変化によるオフセットドリフトエラーを補償する入力オフセットトリム電流を供給する。

【0014】本発明の一実施例においては、補正回路は、選択可能な温度係数を有する温度係数変換電流を供給するためにバイアス電流にตอบสนองして抵抗手段へ基準電圧を反映させる入力電流ミラーと、バイアス電流にตอบสนองして調節可能な温度係数補正電流を供給する第二電流ミラー手段と、選択した温度係数を有する出力電流を供給するために前記温度係数変換電流と前記調節可能な温度係数補正電流とを加算する電流加算手段とを有している。

【0015】

【実施例】図4はオペアンプ10を示しており、それは差動入力信号 V_{in} 及び V_{-in} をそれぞれ受取るためのPチャンネル入力差動対12及び14を有している。オペアンプ10は、更に、従来の態様で接続されたNチャンネルトランジスタ16及び18を有する電流ミラーを有している。電流源15は、差動対12、14の共通接続したソース電極と正電源 $V+$ との間に接続されている。

【0016】従来の電流ミラー構成とするが可能なトリム電流回路20が入力差動対12、14の入力オフセット電圧を零化するためのトリム電流を注入すべく接続されている。

【0017】本発明によれば、温度係数補正回路22が、温度と共に変化する入力オフセット電圧を追従するために必要な温度係数を有するトリム補償電流を供給する。トリム電流補正回路22及び電流源15は、正の温度係数を有することの可能な従来の電流バイアス回路網24により駆動される。

【0018】図5は温度係数補正回路22の機能的ブロック図を示している。電流ミラー26は基準電圧 V_T に比例する出力電流 I_{in}' を供給する。この出力電流は、電流ミラー26により活性抵抗 R に対してミラー動作される。活性抵抗 R は第二電流ミラー28により与えられるフィードバック電流により制御される。このフィードバック電流は、補償電流 $x I_{in}$ を電流 I_{in}' に加算することから得られる。補償電流 $x I_{in}$ は、第三電流ミラー30により、入力電流 I_{ref} （この場合は、正）と同一の温度係数を有する電流 I_{in} に対してレシオ型である。第二電流ミラー28は、温度補償され

6

た出力電流 I_{out} をトリムビット電流20（図4参照）へ供給する。

【0019】図6は入力オフセット電圧を補償するために、CMOSオペアンプへ温度補償したトリミング電流を供給する補償回路を示している。図6の回路は、必要な温度係数を有するトリム電流を供給し、出力電流 I_{out} よりも一層正の温度係数を有する電流により駆動される場合に、入力オフセット電圧熱ドリフトを追従する。

10 【0020】図6の回路は、NチャンネルミラートランジスタM41及びM42を有する従来の電流ミラーを有している。サブスレッシュホールド範囲内において動作可能なNチャンネルダイオード接続型スレッシュホールド電圧基準トランジスタM43が、ミラートランジスタM41のソースと負電源との間に接続されている。トライオードモードにおいて動作するNチャンネルトランジスタM45がミラートランジスタM42と負電源との間に接続されている。従って、トランジスタM45は活性抵抗として動作する。

20 【0021】第二電流ミラーは、入力装置として作用する第一PチャンネルミラートランジスタM21B、及び補償回路用の出力装置として作用し従ってオペアンプのトリムビット20に対する電流を設定する第二PチャンネルミラートランジスタM21Cを有している。以下により詳細に説明する如く、PチャンネルトランジスタM21DもトランジスタM21Bの電流をミラー動作しトランジスタM45に対するフィードバック電流を供給する。第二PチャンネルミラートランジスタM21Cは、そのソースを正電源へ接続しており、そのゲートを第一PチャンネルトランジスタM21Bのゲートへ接続しており、且つそのドレインをオペアンプのPチャンネル入力差動対ロード内へ注入するトリム電流に対する電流を供給すべく接続している。

30 【0022】Nチャンネル温度係数補正トランジスタM44は、第一PチャンネルミラートランジスタM21Bと負電源との間に接続している。トランジスタM44は、必要な温度係数に対する補正電流を加算する。即ち、トランジスタM44のゲートはスレッシュホールド電圧基準トランジスタM43のゲートへ接続しており、入力電流 I_{in} と同一の温度係数を有しているが面積比によりスケールされた電流を供給する。湾曲補正回路網は、Pチャンネル湾曲補正トランジスタM21Dを有しており、そのソースは正電源へ接続しており、且つそのゲートは第一及び第二PチャンネルミラートランジスタM21B及びM21Cの共通接続したゲートへ接続している。トランジスタM21Dのドレインは、トランジスタM46に対して電流を供給し、トランジスタM45用のゲート電圧駆動を与える。

50 【0023】スレッシュホールド電圧基準トランジスタM43は、それがサブスレッシュホールド領域内におい

て動作するような面積を有すべく構成されており、従ってNチャンネルミラートランジスタM41に対し負の温度係数を具備する基準電圧を供給する。上述した如く、トランジスタM45はトライオード領域において動作する。従って、必要な温度係数を有する適宜の電圧がトランジスタM45のゲートへ印加されると、それは良好な温度とは独立した抵抗として作用する。

【0024】入力電流 I_n は電流ミラーM41、M42を介して反映される。即ち、ドレイン電流 I_{in} は通常の基準温度(+25℃)においてミラートランジスタM42のドレイン電流と等しくなる。このことは、非常に強い負の温度係数を与える。この値はトリム電流の補正のためには過剰なものであるので、温度係数の修正が必要である。

【0025】このことは、トランジスタM42からの電流へ加算されることが所望される電流を供給するために、スレッシュホールド電圧基準トランジスタM43へゲートを結合したトランジスタM44の面積値を設定することによりPチャンネルトランジスタM21B及びNチャンネルトランジスタM44を有する電流ミラーを付加することにより達成される。次いで、出力電流 I_{out} は電流ミラーM21B、M21Cを介して、図4に示した如く、オペアンプの入力差動対のトリム回路電流ミラービット20に対して反映される。

【0026】しかしながら、上述したメカニズムは、トライオード動作型トランジスタM45のゲートへ印加される補償された電圧に依存しており、トランジスタM45の抵抗値はそのトランスコンダクタンスに比例している。トランジスタM45を横断しての電圧が分かると、トランジスタM45の寸法を与えられた電流条件に対して計算することが可能である。

【0027】トランジスタM45のゲートにおける補償用電圧を維持するために、別の電流ミラートランジスタM21Dが設けられている。トランジスタM45及びM46の面積を適宜のレシオ即ち割合に選択することにより、一定の抵抗値がトランジスタM45に与えられる。

【0028】トランジスタM44は、更に、トランジスタM46に対するスタートアップ(開始)回路として作用する。トランジスタM44が選択されると、公称基準温度においてトランジスタM41とM42との間で電流がバランスされる。

【0029】上述した回路は、同一のIC技術において製造可能であるという利点を与えており、異なった技術をマッチングさせることが必要なものではない。それは、更に、処理の値を追従する。それは、更に、何ら高

い値の抵抗を必要とすることのない非常に小型の回路である。

【0030】本発明の図6に示した実施例における早期の電圧が供給電圧における変化によりトリム電流内に変化を発生させる場合があるので、図7の実施例においてはカスコード装置を付加してこの問題に対処している。

【0031】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、当業者にとって明らかな如く、上述した概念は、図6及び図7の回路におけるPチャンネル装置に対しNチャンネル装置を置換させ且つNチャンネル装置に対しPチャンネル装置を置換させることによって実現することも可能である。更に、オペアンプのPチャンネル入力差動対は、Nチャンネル差動対により置換することも可能である。

【図面の簡単な説明】

【図1】 オペアンプにおける入力オフセット電圧を補償するための従来のトリム電流調節技術を示した概略図。

【図2】 入力オフセット電圧を補償するためのトリム電流を供給するための別の従来の技術を示した概略図。

【図3】 強い負の温度係数を有するオペアンプに対するバイアス電流を発生する回路を示した概略図。

【図4】 本発明に基づいて入力オフセット電圧を補償するための補正回路を有するオペアンプシステムを示した概略図。

【図5】 本発明に基づく温度補償型トリミング電流を供給するための回路を示した概略図。

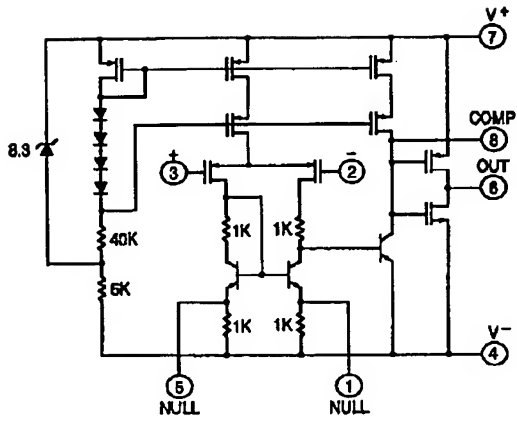
【図6】 本発明に基づいて温度補償型トリミング電流を供給するための回路の一実施例を示した概略図。

【図7】 早期(Early)電圧の影響を補償するために図6の回路にカスコード装置を付加した状態を示した概略図。

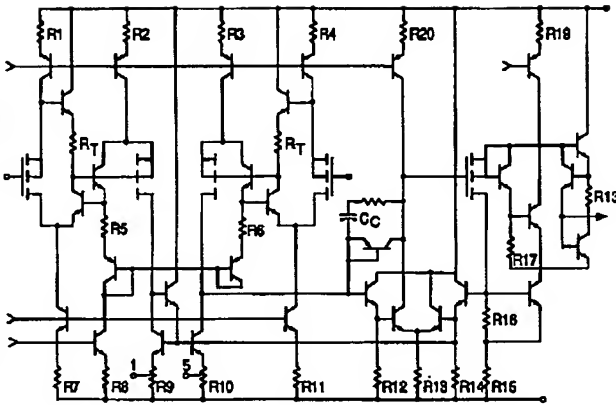
【符号の説明】

- 10 オペアンプ
- 12, 14 入力差動対
- 16, 18 Nチャンネルトランジスタ
- 20 トリム電流ビット(回路)
- 22 電流補正回路
- 24 電流バイアス回路網
- 26 電流ミラー
- 28 第二電流ミラー
- 30 第三電流ミラー

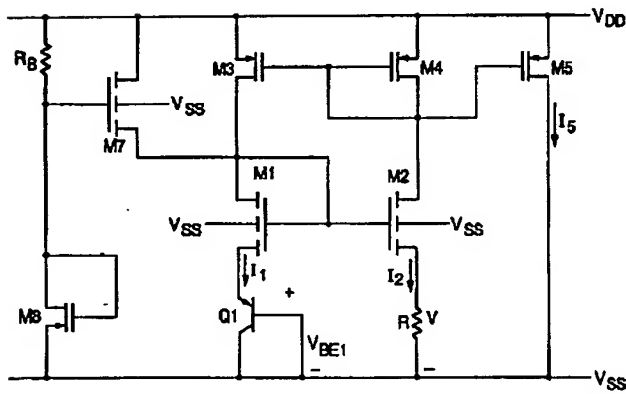
【図 1】



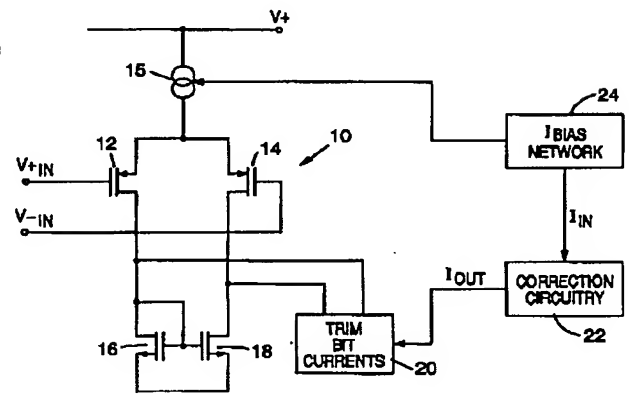
【図 2】



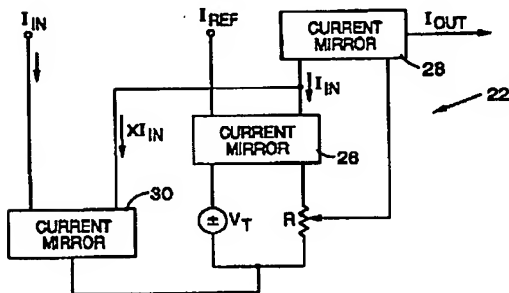
【図 3】



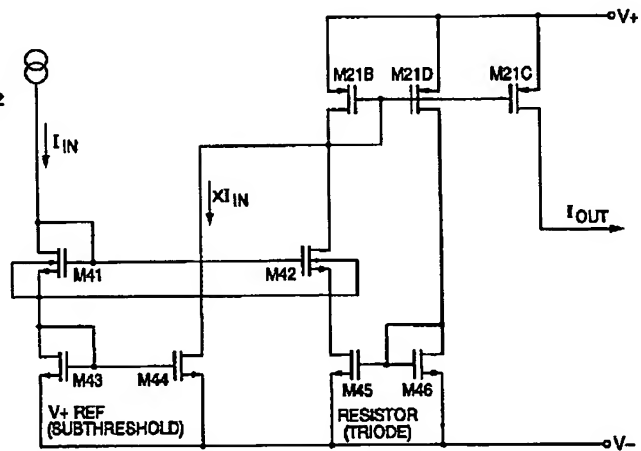
【図 4】



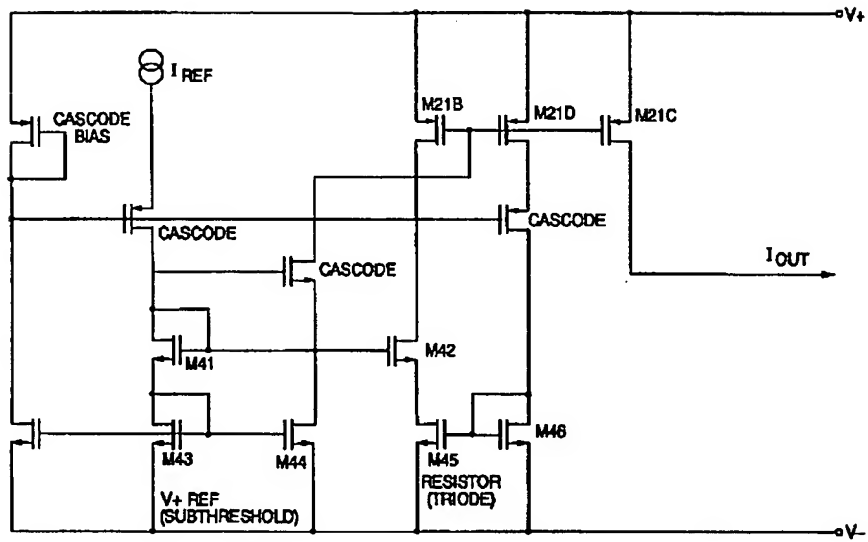
【図 5】



【図 6】



【図 7】



THIS PAGE BLANK (USPTO)



US005386160A

United States Patent [19]

Archer et al.

[11] Patent Number: 5,386,160

[45] Date of Patent: Jan. 31, 1995

[54] TRIM CORRECTION CIRCUIT WITH
TEMPERATURE COEFFICIENT
COMPENSATION

[75] Inventors: Donald M. Archer, Sunnyvale; Jung
S. Hoei, San Jose, both of Calif.

[73] Assignee: National Semiconductor Corporation,
Santa Clara, Calif.

[21] Appl. No.: 42,130

[22] Filed: Apr. 2, 1993

Related U.S. Application Data

[63] Continuation-in-part of Ser. No. 794,960, Nov. 20,
1991, Pat. No. 5,200,654.

[51] Int. Cl.⁶ H03F 1/30

[52] U.S. Cl. 327/513; 330/289;
327/362; 327/307

[58] Field of Search 307/491, 310, 296.1,
307/296.6, 291, 494, 296.4, 296.5; 330/288, 289,
257, 256; 323/315

[56] References Cited

U.S. PATENT DOCUMENTS

3,703,650	11/1972	Kendall	307/310
4,050,030	9/1977	Russell	330/23
4,464,588	8/1984	Wieser	307/491
4,598,215	7/1986	Schechtman et al.	307/491
4,618,833	10/1986	Russell	330/256
4,656,436	4/1987	Saari	330/253
4,853,647	8/1989	Low et al.	330/256
4,879,524	11/1989	Bell	330/288

5,061,862 10/1991 Tamagawa 307/296.1
5,126,590 6/1992 Chern 307/296.1

FOREIGN PATENT DOCUMENTS

0140677 5/1985 European Pat. Off. .

OTHER PUBLICATIONS

J. Haspeslagh and W. Sansen, "Design Techniques for Fully Differential Amplifiers", IEEE 1988 Custom Integrated Circuits Conference, May 16, 1988, pp. 1221-1224.

Primary Examiner—Timothy P. Callahan

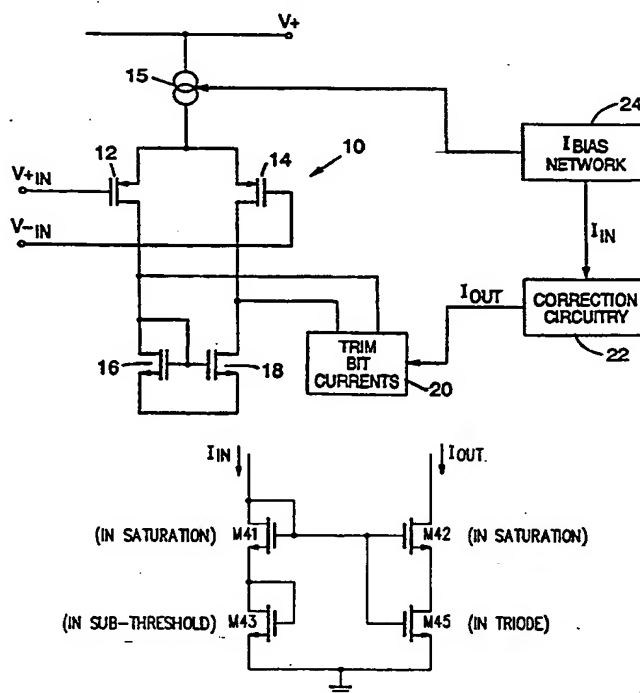
Assistant Examiner—My-Trang Nu Ton

Attorney, Agent, or Firm—Limbach & Limbach

[57] ABSTRACT

An operational amplifier bias system provides input offset voltage trim current with minimum offset thermal drift. The bias system includes a bias generator that provides bias current to the op amp. Correction circuitry responsive to the bias current provides an input offset trim current that compensates for offset drift error with change in temperature. The correction circuitry includes a resistive element, an input current mirror responsive to the bias current for providing a reference current to the resistive element to provide a temperature coefficient conversion current having a predetermined temperature coefficient, and a voltage reference that sets the resistance of the resistive element.

7 Claims, 4 Drawing Sheets



THIS PAGE BLANK (USPTO)